

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-313422

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

H01L 33/00
H01L 21/28
H01L 29/41
H01S 5/042

(21)Application number : 2000-153499

(71)Applicant : NICHIA CHEM IND LTD

(22)Date of filing : 24.05.2000

(72)Inventor : TOYODA TATSUNORI
SHONO HIROBUMI
NAGAMINE KAZUHIRO

(30)Priority

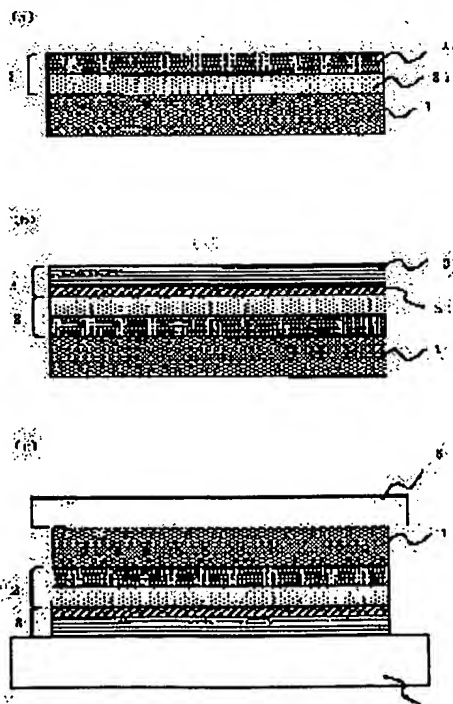
Priority number : 2000048878 Priority date : 21.02.2000 Priority country : JP

(54) LIGHT-EMITTING ELEMENT AND MANUFACTURING METHOD FOR THE LIGHT-EMITTING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a light-emitting element, on both faces of which electrodes are formed and which comprises a nitride semiconductor layer, and to provide a manufacturing method for the light-emitting element.

SOLUTION: In the manufacturing method, a wafer on which an n-type nitride semiconductor layer and a p-type nitride semiconductor layer are laminated on a substrate is divided into light-emitting elements. The manufacturing method contains a p-electrode forming process, where a first metal layer which comes into ohmic contact with the p-type nitride semiconductor layer is formed nearly over the whole face of the p-type nitride semiconductor layer and a warpage preventing layer, which prevents the warpage of the wafer, is formed in the upper part from the metal layer. The manufacturing method contains a substrate removal process, where after the p-electrode formation process, the substrate is removed from the face on the opposite side of a substrate face on which the nitride semiconductor layer is laminated, in such a way that at least a part of the n-type nitride semiconductor layer is exposed in the respective regions of the light-emitting elements to be divided. The manufacturing method contains an n-electrode formation process where an n-electrode is formed, so as to come into contact with at least a part of the exposed n-type nitride semiconductor layer. The manufacturing method contains a division process, where the wafer on which the p-electrode and the n-electrode



BEST AVAILABLE COPY

are formed is divided to form the light-emitting elements.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the manufacture approach of a light emitting device of dividing the wafer with which it reached with n mold nitride semi-conductor layer at least on the substrate, and the laminating of the p mold nitride semi-conductor layer was carried out for every light emitting device p electrode formation process which forms the 1st metal layer for [of said p mold nitride semi-conductor layer] acquiring p mold nitride semi-conductor layer and ohmic contact on the whole surface, and forms the curvature prevention layer for preventing the curvature of said wafer above said metal layer mostly, So that said a part of n mold nitride semi-conductor layer [at least] may be exposed to each field of the light emitting device which should be divided after said p electrode formation process The substrate clearance process of removing said substrate from the substrate side where the laminating of said nitride semi-conductor layer was carried out, and the field of an opposite hand, The manufacture approach of the light emitting device characterized by including n electrode formation process which forms n electrode so that at least the part on said exposed n mold nitride semi-conductor layer may be touched, and the division process which should divide the wafer with which said p electrode and said n electrode were formed, and which divides for every field and is used as a light emitting device.

[Claim 2] Said curvature prevention layer is the manufacture approach of the light emitting device according to claim 1 characterized by thickness containing the 2nd metal layer 10 micrometers or more at least.

[Claim 3] Said 2nd metal layer is the manufacture approach of the light emitting device according to claim 2 characterized by consisting of metals which contain nickel at least.

[Claim 4] Said 2nd metal layer is the manufacture approach of the light emitting device according to claim 2 to 3 characterized by being formed by non-electric-field plating.

[Claim 5] Said curvature prevention layer is the manufacture approach of the light emitting device according to claim 1 characterized by consisting of resin layers formed on said 1st metal layer except the part in which one or more metal bumps formed on said 1st metal layer and said metal bump were formed at least.

[Claim 6] The manufacture approach of the light emitting device according to claim 1 to 5 characterized by containing further with Au layer formation process which forms Au layer which contains Au at least above said curvature prevention layer.

[Claim 7] Said substrate is the manufacture approach of the light emitting device according to claim 1 to 6 characterized by using sapphire.

[Claim 8] Said n electrode is the manufacture approach of the light emitting device according to claim 1 to 7 characterized by being a transparent electrode.

[Claim 9] In the light emitting device which the semi-conductor layer to which the laminating of n mold nitride semi-conductor layer and the p mold nitride semi-conductor layer was carried out at least is formed, and has n electrode and p electrode said n electrode and said p electrode On both sides of said semi-conductor layer, it is formed face to face, respectively. Said p electrode The light emitting device characterized by consisting of a 1st metal layer for [of said p mold nitride semi-conductor layer]

acquiring p mold nitride semi-conductor layer and ohmic contact on the whole surface mostly, and a curvature prevention layer for preventing the curvature of said wafer above said metal layer at least.
 [Claim 10] In the light emitting device which the semi-conductor layer to which the laminating of n mold nitride semi-conductor layer and the p mold nitride semi-conductor layer was carried out at least is formed, and has n electrode and p electrode said p electrode The 1st metal layer for [of said p mold nitride semi-conductor layer] acquiring p mold nitride semi-conductor layer and ohmic contact on the whole surface mostly, It consists of curvature prevention layers for preventing the curvature of said wafer above said metal layer at least. It is the light emitting device which said some of substrates [at least] were removed, has exposed said n mold nitride semi-conductor layer, and is characterized by forming said n electrode so that at least the part on said exposed n mold nitride semi-conductor layer may be touched.

[Claim 11] Said curvature prevention layer is a light emitting device according to claim 9 or 10 characterized by thickness containing the 2nd metal layer 10 micrometers or more at least.

[Claim 12] Said 2nd metal layer is a light emitting device according to claim 11 characterized by consisting of metals which contain nickel at least.

[Claim 13] Said 2nd metal layer is a light emitting device according to claim 11 to 12 characterized by being formed by non-electric-field plating.

[Claim 14] Said curvature prevention layer is a light emitting device according to claim 9 or 10 characterized by consisting of resin layers formed on said 1st metal layer except the part in which one or more metal bumps formed on said 1st metal layer and said metal bump were formed at least.

[Claim 15] Said resin layer is a light emitting device according to claim 14 characterized by thickness being 20 micrometers or more.

[Claim 16] Said p electrode is a light emitting device according to claim 9 to 15 characterized by having Au layer which contains Au at least above said curvature prevention layer.

[Claim 17] Said substrate is a light emitting device according to claim 9 to 16 characterized by using sapphire.

[Claim 18] Said n electrode is a light emitting device the claim 9 characterized by being a transparent electrode thru/or given in 17.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of the light emitting device and light emitting device which have the electrode used for light emitting devices, such as LED (light emitting diode) and LD (laser diode), especially a nitride semi-conductor layer (for example, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$, $0 \leq x$, $0 \leq y$, $x+y \leq 1$).

[0002]

[Description of the Prior Art] The light emitting device which has a nitride semi-conductor layer so that it may be represented by blue LED and LD etc. in recent years attracts attention. Luminescence is performed by carrier association with the carrier with which this nitride semi-conductor layer was roughly poured in from p mold nitride semi-conductor layer, and the carrier poured in from n mold nitride semi-conductor layer, and good crystallinity is acquired by forming especially these nitrides semi-conductor layer on silicon on sapphire. However, sapphire is the insulating matter and cannot form an electrode in a silicon-on-sapphire front face. For this reason, when the substrate which consists of insulating matter, such as silicon on sapphire, was used for a light emitting device, the electrode needed to be formed on the contact layer which removed the semi-conductor layer by etching etc. and was exposed.

[0003]

[Problem(s) to be Solved by the Invention] As mentioned above, when a semi-conductor layer was removed and an electrode was formed, the number of the light emitting devices obtained from per unit area of a wafer decreased, and had the trouble that a manufacturing cost became high. Moreover, since an electrode section approached, position control of high degree of accuracy needed to be performed at the time of bonding.

[0004] After forming a nitride semi-conductor layer on wafer-like silicon on sapphire to this again, polish etc. removed silicon on sapphire and there was a technique which forms the electrode of each positive/negative in the location which countered on both sides of the semi-conductor layer. However, since curvature arose from the mismatching of the lattice constant of a nitride semi-conductor layer and sapphire to a wafer and the crack of a semi-conductor layer etc. occurred as silicon on sapphire is ground, there was a trouble that the manufacture yield worsened and a manufacturing cost became high. Since especially the mismatching of the lattice constant of silicon on sapphire and a nitride semi-conductor is large, in the light emitting device which consists of a nitride semi-conductor, this curvature poses a big problem.

[0005] Then, this invention aims at offering the manufacture approach of the light emitting device and light emitting device which have the nitride semi-conductor layer in which the electrode was formed to both sides of a light emitting device by low cost, without causing lowering of the manufacture yield, acquiring good crystallinity.

[0006]

[Means for Solving the Problem] In the manufacture approach of a light emitting device of dividing the

wafer with which the manufacture approach of the light emitting device of this invention reached with n mold nitride semi-conductor layer at least on the substrate, and the laminating of the p mold nitride semi-conductor layer was carried out for every light emitting device p electrode formation process which forms the 1st metal layer for [of said p mold nitride semi-conductor layer] acquiring p mold nitride semi-conductor layer and ohmic contact on the whole surface, and forms the curvature prevention layer for preventing the curvature of said wafer above said metal layer mostly, So that said a part of n mold nitride semi-conductor layer [at least] may be exposed to each field of the light emitting device which should be divided after said p electrode formation process The substrate clearance process of removing said substrate from the substrate side where the laminating of said nitride semi-conductor layer was carried out, and the field of an opposite hand, n electrode formation process which forms n electrode so that at least the part on said exposed n mold nitride semi-conductor layer may be touched, and the division process which should divide the wafer with which said p electrode and said n electrode were formed and which divides for every field and is used as a light emitting device are included. By this, the light emitting device which has the nitride semi-conductor layer in which the electrode was formed to both sides of a light emitting device can be offered by low cost, without causing lowering of the manufacture yield, acquiring good crystallinity.

[0007] Moreover, said curvature prevention layer can consider the manufacture approach of the light emitting device of this invention as the configuration in which thickness contains the 2nd metal layer 10 micrometers or more at least.

[0008] Moreover, the manufacture approach of the light emitting device of this invention consists of metals with which said 2nd metal layer contains nickel at least.

[0009] Moreover, said 2nd metal layer is formed for the manufacture approach of the light emitting device of this invention by non-electric-field plating.

[0010] Moreover, the manufacture approach of the light emitting device of this invention may consist of resin layers formed on said 1st metal layer except the part in which one or more metal bumps formed on said 1st metal layer and said metal bump were formed for said curvature prevention layer at least.

[0011] Moreover, the manufacture approach of the light emitting device of this invention is further included with Au layer formation process which forms Au layer which contains Au at least above said curvature prevention layer.

[0012] Moreover, in the manufacture approach of the light emitting device of this invention, said substrate uses sapphire.

[0013] Moreover, in the manufacture approach of the light emitting device of this invention, said n electrode is a transparent electrode.

[0014] Moreover, the semi-conductor layer to which the laminating of n mold nitride semi-conductor layer and the p mold nitride semi-conductor layer was carried out at least is formed, and the light emitting device of this invention is set to the light emitting device which has n electrode and p electrode. On both sides of said semi-conductor layer, said n electrode and said p electrode counter, and are formed, respectively. Said p electrode It consists of a 1st metal layer for [of said p mold nitride semi-conductor layer] acquiring p mold nitride semi-conductor layer and ohmic contact on the whole surface mostly, and a curvature prevention layer for preventing the curvature of said wafer above said metal layer at least.

[0015] Moreover, light emitting device of this invention In the light emitting device which the semi-conductor layer to which the laminating of n mold nitride semi-conductor layer and the p mold nitride semi-conductor layer was carried out at least is formed, and has n electrode and p electrode Said p electrode The 1st metal layer for [of said p mold nitride semi-conductor layer] acquiring p mold nitride semi-conductor layer and ohmic contact on the whole surface mostly, It consists of curvature prevention layers for preventing the curvature of said wafer above said metal layer at least. Said some of substrates [at least] were removed, said n mold nitride semi-conductor layer is exposed, and said n electrode can be considered as the configuration formed so that at least the part on said exposed n mold nitride semi-conductor layer may be touched.

[0016] Moreover, said curvature prevention layer can consider the light emitting device of this invention

as the configuration in which thickness contains the 2nd metal layer 10 micrometers or more at least.
 [0017] Moreover, the light emitting device of this invention consists of metals with which said 2nd metal layer contains nickel at least.

[0018] Moreover, said 2nd metal layer is formed for the light emitting device of this invention by non-electric-field plating.

[0019] Moreover, the light emitting device of this invention may consist of resin layers formed on said 1st metal layer except the part in which one or more metal bumps formed on said 1st metal layer and said metal bump were formed for said curvature prevention layer at least.

[0020] Moreover, as for the light emitting device of this invention, the thickness of said resin layer is 20 micrometers or more.

[0021] Moreover, the light emitting device of this invention has Au layer in which said p electrode contains Au at least above said curvature prevention layer.

[0022] Moreover, sapphire is used for the light emitting device of this invention by said substrate.

[0023] Moreover, said n electrode of the light emitting device of this invention is a transparent electrode.

[0024]

[Embodiment of the Invention] (Gestalt 1 of operation) The electrode formation approach of the light emitting device of this invention and a light emitting device is explained below.

[0025] As shown in drawing 1 (a), the semi-conductor layer 2 is formed on the wafer-like substrate 1. As a substrate 1, insulating substrates, such as sapphire and a spinel, are used, for example. The semi-conductor layer 2 is formed of a nitride semi-conductor layer, and consists of an n mold nitride semi-conductor layer 21 which consists of nitride semi-conductor $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) which doped n mold impurities, such as Si, and a p mold nitride semi-conductor layer 23 which consists of a nitride semi-conductor which doped p mold impurities, such as Mg, at least.

[0026] the [and / which is the 1st metal layer from which p mold nitride semi-conductor layer 23 and ohmic contact are acquired on p mold nitride semi-conductor layer 23 as shown in drawing 1 (b) after forming the semi-conductor layer 2, and which formed Pt, for example on the nickel/Pt layer] -- sequential formation of 1p electrode 31 and the curvature prevention layer 32 is carried out. Here, as for the curvature prevention layer 32, thickness is formed from a metal layer 10 micrometers or more. Thus, the supporter material of the wafer for clearance of a substrate 1 can be mostly obtained by reinforcement sufficient by the p electrode 3 of a wafer with which thickness contains the 2nd metal layer 10 micrometers or more at least on the whole surface being formed for the whole wafer. As for this support metal layer 32, being formed by non-electric-field plating is desirable. When insulating matter, such as sapphire, is used for a substrate 1, it is because it is difficult to impress electric field to the whole wafer at homogeneity, and to form a uniform metal layer. If the thickness of the curvature prevention layer 32 serves as an ununiformity at this time, distortion will arise to a wafer and the semi-conductor layer 2 will crack-come to be easy.

[0027] Then, as shown in drawing 1 (c), the wafer with which the p electrode 3 which has the support metal layer 32 was formed in susceptor 5 is laid so that the p electrode 3 side may counter susceptor 5, and it grinds so that n mold nitride semi-conductor layer 21 may expose a substrate 1 by using the polish member 6, and removes. Or after leaving 10-100 micrometers of substrates, it is good also as a configuration which removes some substrates [at least] 1 with etching or a dicing saw. Thus, a part of n mold nitride semi-conductor layer [at least] 21 is exposed. Thus, when thickness forms p electrode which has the 2nd metal layer 10 micrometers or more at least on p mold nitride semi-conductor layer 23, the curvature of the wafer produced at the time of polish of a substrate 1 can be reduced, and the crack of the semi-conductor layer 2 can be prevented and ***** (ed). Moreover, a substrate 1 can be ground, reducing distortion and keeping parallelism good [precision].

[0028] And the n electrode 4 which consists of W/aluminum or ITO is formed in exposed n mold nitride semi-conductor layer 21. In this case, it is good also as a configuration which forms n electrode so that at least the part on exposed n mold nitride semi-conductor layer may be touched. By forming the n electrode 4 as a transparent electrode especially, the p electrode 3 with which it was formed by sufficient

thickness and the high reflection factor was obtained is used as a reflector, it is efficient and the light generated in the semi-conductor layer 2 can be taken out. In W/aluminum, it can be made into a transparent electrode by forming W by 10-30Å in about 20-40Å and ITO, and forming aluminum by the thickness of 1000-5000Å.

[0029] Thus, the wafer in which the electrode was formed can be divided into suitable magnitude, and a light emitting device can be obtained. The number of the light emitting devices which the yield improves since the crack of a wafer can be prevented, and are obtained from per unit area of a wafer by the electrode formation approach of the light emitting device of this invention can be raised. Moreover, uniform luminescence is obtained from the ability of the light emitting device of this invention to counter and form the p electrode 3 and the n electrode 4 on both sides of the semi-conductor layer 2. Furthermore, since the crystalline good nitride semi-conductor layer 2 can be formed when sapphire is used as a substrate 1, high luminescence of luminous efficiency is obtained.

(Gestalt 2 of operation) The electrode formation approach of the light emitting device of this invention and a light emitting device is explained below.

[0030] As shown in drawing 7 (a), the semi-conductor layer 2 is formed on the wafer-like substrate 1. As a substrate 1, insulating substrates, such as sapphire and a spinel, are used, for example. The semi-conductor layer 2 is formed of a nitride semi-conductor layer, and consists of an n mold nitride semi-conductor layer 21 which consists of nitride semi-conductor $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) which doped n mold impurities, such as Si, and a p mold nitride semi-conductor layer 23 which consists of a nitride semi-conductor which doped p mold impurities, such as Mg, at least.

[0031] the [and / which is the metal layer in which it formed, the metal, for example, the nickel/Pt layer, on p mold nitride semi-conductor layer 23 from which p mold nitride semi-conductor layer 23 and ohmic contact are acquired on the whole surface, mostly as shown in drawing 7 (b) after forming the semi-conductor layer 2] -- 1p electrode 31 is formed. the [this] -- 1p electrode 31 is good on a nickel/Pt layer also as a configuration which carried out the laminating of the Pt layer further.

[0032] the -- it is shown in drawing 7 (c) after 1p electrode formation -- as -- the -- two or more metal bump 32a is formed on 1p electrode 31. next, the part in which metal bump 32a was formed as shown in drawing 7 (d) -- removing -- the -- resin layer 32b is formed on 1p electrode 31. And figuring processing for making a front face into homogeneity by grinding etc. is performed. Of these metal bump 32a and resin layer 31b, the curvature prevention layer 32 which prevents the curvature of a wafer at the time of substrate 1 polish is formed. As for this curvature prevention layer 32, it is desirable to be referred to as about 40-80 micrometers. Thus, the supporter material of the wafer for clearance of a substrate 1 can be obtained by reinforcement sufficient by the thing of a wafer for which a curvature prevention layer is mostly formed in the whole surface for the whole wafer.

[0033] Then, as shown in drawing 7 (e), the wafer with which the p electrode 3 which has the curvature prevention layer 32 was formed in susceptor 5 is laid so that the p electrode 3 side may counter susceptor 5, and it grinds so that n mold nitride semi-conductor layer 21 may expose a substrate 1 by using the polish member 6, and removes. Or after leaving 10-100 micrometers of substrates, it is good also as a configuration which removes some substrates [at least] 1 with etching or a dicing saw. Thus, a part of n mold nitride semi-conductor layer [at least] 21 is exposed. Thus, when thickness forms p electrode which has the curvature prevention layer 32 10 micrometers or more at least on p mold nitride semi-conductor layer 23, the curvature of the wafer produced at the time of polish of a substrate 1 can be reduced, and the crack of the semi-conductor layer 2 can be prevented. Moreover, a substrate 1 can be ground, reducing distortion and keeping parallelism good [precision].

[0034] And the n electrode 4 which consists of W/aluminum or ITO is formed in exposed n mold nitride semi-conductor layer 21. In this case, it is good also as a configuration which forms n electrode so that at least the part on exposed n mold nitride semi-conductor layer may be touched.

[0035] Thus, the wafer in which the electrode was formed can be divided into the suitable magnitude containing at least one metal bump 32a, and a light emitting device can be obtained. The number of the light emitting devices which the yield improves since the crack of a wafer can be prevented, and are obtained from per unit area of a wafer by the electrode formation approach of the light emitting device

of this invention can be raised. Moreover, uniform luminescence is obtained from the ability of the light emitting device of this invention to counter and form the p electrode 3 and the n electrode 4 on both sides of the semi-conductor layer 2. Furthermore, since the crystalline good nitride semi-conductor layer 2 can be formed when sapphire is used as a substrate 1, high luminescence of luminous efficiency is obtained.

(Example 1) An example at the time of applying the formation approach of the electrode of the light emitting device in this invention to LED is explained.

[0036] For example, each class is formed by the organic metal vapor growth approach (MOCVD law), using a sapphire C side as a substrate 1. The buffer layer which makes the mismatching of the lattice constant of a substrate 1 and the nitride semi-conductor layer 2 ease on a substrate 1 as shown in drawing 2 (a) (not shown), By n mold contact layer and carrier association which are n mold nitride semi-conductor layer 21 for acquiring n electrode and ohmic contact Sequential formation of the p mold nitride semi-conductor layer 23 which consists of p mold contact layers for acquiring p mold cladding layer for confining in a barrier layer the barrier layer 22 and carrier which are made to generate light and p electrode, and ohmic contact is carried out.

[0037] A buffer layer consists of GaN(s) of 10A - 500A of thickness which performed crystal growth by low temperature. n mold contact layer consists of 2-6-micrometer Si dopes GaN preferably 1-20 micrometers of thickness. Moreover, n mold cladding layer which consists of AlGaIn(s) by which Si was doped may be formed on n mold contact layer. A barrier layer 22 may be constituted from InGaIn and may be constituted as the single well layer or multiplex quantum well layer of GaN/InGaIn/GaN. p mold cladding layer consists of Mg dopes AlGaIn of 100-500A of thickness. Moreover, the carrier to a barrier layer also closes this p mold cladding layer, and it is omissible if eye ** is enough. p mold contact layer consists of 0.05-0.2-micrometer Mg dopes GaN preferably 0.001-0.5 micrometers of thickness.

[0038] Annealing is performed, after forming nickel by the thickness of 100A on p mold nitride semi-conductor layer 23 of the wafer formed as mentioned above and forming Pt by sputtering etc. by the thickness of 500A on it as shown in drawing 2 (b). The ohmic contact with a combination of this nickel/Pt as good also as nickel/Au, Co/Au, and Pd/Pt as p mold nitride semi-conductor layer 23 is acquired. furthermore, Pt after forming a nickel/Pt layer -- the thickness of 5000A -- forming -- annealing -- carrying out -- the -- it takes 1p electrode 31.

[0039] the -- after 1p electrode 31 formation -- further -- Palladium Pd -- the thickness of several angstroms - 1000A -- sputtering -- or -- or roughen a front face, it is made to adsorb by etching, and substrate layer 32a is formed. This Pd acts as a reaction catalyst. And on substrate layer 32a, 10 micrometers or more, P-nickel is preferably formed by non-electric-field plating by the thickness of 50-300 micrometers, and is set to 2nd metal layer 32b. 5 - 10% of the Lynn content is desirable. Au is lastly formed with non-electric-field plating or vacuum deposition by the thickness of 1000A. Since it is difficult to carry out the seal of approval of the uniform electric field to the whole wafer when insulators, such as sapphire, are used for the substrate 1 of the nitride semi-conductor layer 2, it is desirable to form the metal layer which has sufficient thickness with non-electric-field plating. Cu, Au, and Ag are mentioned as an example of other non-electric-field plating of nickel. Especially nickel has a quick formation rate, and since it becomes easy to obtain sufficient thickness, it is desirable.

[0040] Then, the wafer with which the p electrode 3 was formed is laid in the susceptors 5, such as a surface plate, and the 1st page of a substrate is ground by the polish members 6, such as a grinding stone, as shown in drawing 2 (c). the [thus,] -- a substrate 1 can be ground to parallel, without being able to prevent that a wafer is distorted and a wafer breaking at the time of substrate polish, by forming 2nd metal layer 32b which has sufficient thickness as compared with 1p electrode 31.

[0041] Polish of this substrate 1 is performed until n mold nitride semi-conductor layer 21 is exposed, as shown in drawing 3 (a). After polish of a substrate 1 etches [damage] about 1-2 micrometers in RIE in a carrier beam field by polish of n mold contact layer 21. Then, it is 20A in thickness about a tungsten, then, aluminum is formed by sputtering by the thickness of 30A at exposed n mold contact layer 21, annealing is performed, and as shown at drawing 3 (b), the n electrode 4 is formed. Moreover, this n electrode 4 may be formed from ITO. Thus, a dicing saw divides the formed wafer, and as shown in

drawing 3 (c), it considers as a light emitting device.

[0042] Moreover, although the example which forms n electrode all over a wafer here was shown, the ejection effectiveness of the light from a light emitting device can be improved by forming the n electrode 4 selectively by patterning.

(Example 2) The process to p electrode 3 formation is performed like an example 1. As a light emitting device is laid in susceptor 5 and shown in drawing 4 (a) after p electrode formation, it grinds by the polish member 6 so that it may leave 10 micrometers - about 100 micrometers of substrates 1 to n mold nitride semi-conductor layer 21 side. What is necessary is just to set up suitably the thickness of this substrate 1 that it should leave according to the control precision of polish. Then, as shown in drawing 4 (b), with a dicing saw, a substrate 1 is shaved by Mr. about 0.5-2.0-micrometer Fukashi of n mold contact layer, and a slot is formed. To silicon on sapphire 1 and n mold nitride semi-conductor layer 21, after formation of a slot etches so that n mold nitride semi-conductor layer 21 can delete about 1-2 micrometers in RIE.

[0043] And to a substrate 1 and n mold nitride semi-conductor layer 21, Aluminum aluminum is formed for Tungsten W by sputtering by the thickness of 30A after that with the thickness of 20A, annealing is performed, and as shown in drawing 4 (c), the n electrode 4 is formed. Thus, a dicing saw divides the formed wafer for every light emitting device, as shown in drawing 4 (d).

[0044] This example 2 can stop the damage by the polish to n mold nitride semi-conductor layer 21 to the minimum. Moreover, it can prevent grinding n mold nitride semi-conductor layer 21 too much by control dispersion of the polish depth.

[0045] Moreover, it is not necessary to necessarily form the n electrode 4 all over n mold nitride semi-conductor layer 21, and as shown in the perspective view of the light emitting device shown in drawing 5 (a), it may form the n electrode 4 selectively. Drawing 5 (b) is the top view which looked at the example of the n electrode 4 shown in drawing 5 (a) from right above the n electrode 4 here. The number of the slots formed in n mold nitride semi-conductor layer 21 does not need to be one, either, and they may be formed. [two or more] Of course, what is necessary is not to form the n electrode 4 throughout a slot and to form the n electrode 4 only in a field required for carrier impregnation.

[0046] Furthermore, the slot formed in n mold nitride semi-conductor layer 21 may be formed in each angle of a light emitting device from the core of a light emitting device, as shown in drawing 6.

However, drawing 6 is the top view which looked at the n electrode 4 from right above like drawing 5 (b). In this example, since the n electrode 4 of each other within the flat surface of n mold nitride semi-conductor layer 21 is formed in the 2-way which is not parallel from the core of a light emitting device, a carrier is comparatively poured into homogeneity over the whole surface of a light emitting device, and luminescence in a light emitting device can be made into homogeneity.

[0047] Furthermore, although it is desirable from not adding a new configuration to the manufacturing installation of a light emitting device to form a slot by using a dicing saw, the configuration in which n mold nitride semi-conductor layer 21 is exposed does not need to be a groove, in order not to be concerned with a configuration but to perform carrier impregnation, removes some [at least] substrates which are need, and should just expose n mold nitride semi-conductor layer 21.

(Example 3) An example at the time of applying the formation approach of the electrode of the light emitting device in this invention to LED is explained.

[0048] For example, each class is formed by the organic metal vapor growth approach (MOCVD law), using a sapphire C side as a substrate 1. The buffer layer which makes the mismatching of the lattice constant of a substrate 1 and the nitride semi-conductor layer 2 ease on a substrate 1 as shown in drawing 8 (a) (not shown), By n mold contact layer and carrier association which are n mold nitride semi-conductor layer 21 for acquiring n electrode and ohmic contact Sequential formation of the p mold nitride semi-conductor layer 23 which consists of p mold contact layers for acquiring p mold cladding layer for confining in a barrier layer the barrier layer 22 and carrier which are made to generate light and p electrode, and ohmic contact is carried out.

[0049] A buffer layer consists of GaN(s) of 10A - 500A of thickness which performed crystal growth by low temperature. n mold contact layer consists of 2-6-micrometer Si dopes GaN preferably 1-20

micrometers of thickness. Moreover, n mold cladding layer which consists of AlGaIn(s) by which Si is doped may be formed on n mold contact layer. A barrier layer 22 may be constituted from InGaIn and may be constituted as the single well layer or multiplex quantum well layer of GaIn/InGaIn/GaIn. p mold cladding layer consists of Mg doped AlGaIn of 100-500Å of thickness. Moreover, the carrier to a barrier layer also closes this p mold cladding layer, and it is omissible if eye ** is enough. p mold contact layer consists of 0.05-0.2-micrometer Mg doped GaIn preferably 0.001-0.5 micrometers of thickness.

[0050] Annealing is performed, after forming nickel by the thickness of 100Å on p mold nitride semiconductor layer 23 of the wafer formed as mentioned above and forming Pt by sputtering etc. by the thickness of 500Å on it as shown in drawing 8 (b). The ohmic contact with a combination of this nickel/Pt as good also as nickel/Au, Co/Au, and Pd/Pt as p mold nitride semiconductor layer 23 is acquired. furthermore, Pt after forming a nickel/Pt layer -- the thickness of 5000Å -- forming -- annealing -- carrying out -- the -- it considers as 1p electrode 31.

[0051] the -- the [after 1p electrode 31 formation and] -- the [except the part in which two or more metal bump 32a was formed on 1p electrode 31, next metal bump 32a was formed] -- resin layer 32b is formed on 1p electrode 31. Metal bump 32a consists of a golden bump, a copper bump, a solder bump, etc. Moreover, resin layer 32b consists of epoxy resins etc. Of these metal bump 32a and resin layer 31b, the curvature prevention layer 32 which prevents the curvature of a wafer at the time of substrate 1 polish is formed. As for this curvature prevention layer 32, it is desirable to be referred to as 20 micrometers or more, and it is more desirable to be referred to as about 40-80 micrometers. Thus, the supporter material of the wafer for clearance of a substrate 1 can be obtained by reinforcement sufficient by the thing of a wafer for which a curvature prevention layer is mostly formed in the whole surface for the whole wafer. Moreover, it is [after forming the curvature prevention layer 32 which consists of this metal bump 32a and resin layer 32b] desirable by performing figuring processing and making thickness into homogeneity to prevent that distortion of the wafer at the time of substrate polish occurs.

[0052] Moreover, lastly, with plating or vacuum deposition, Au is formed by the thickness of 1000Å and it considers as the Au layer 34. By this, adhesion with the p electrode 3, a lead member, or a wire can be made good. This Au layer 34 is omissible if adhesion with the curvature prevention layer 32, a lead member, or a wire is good.

[0053] Then, the wafer with which the p electrode 3 was formed is laid in the susceptors 5, such as a surface plate, and the 1st page of a substrate is ground by the polish members 6, such as a grinding stone, as shown in drawing 8 (c). the [thus,] -- a substrate 1 can be ground to parallel, without being able to prevent that a wafer is distorted and a wafer breaking at the time of substrate polish, by forming the curvature prevention layer 32 which has sufficient thickness as compared with 1p electrode 31.

[0054] Polish of this substrate 1 is performed until n mold nitride semiconductor layer 21 is exposed, as shown in drawing 9 (a). After polish of a substrate 1 etches [damage] about 1-2 micrometers in RIE in a carrier beam field by polish of n mold contact layer 21. Then, it is 20Å in thickness about a tungsten, then, aluminum is formed by sputtering by the thickness of 30Å at exposed n mold contact layer 21, annealing is performed, and as shown at drawing 9 (b), the n electrode 4 is formed. Moreover, this n electrode 4 may be formed from ITO. Thus, a dicing saw divides the formed wafer, and as shown in drawing 9 (c), it considers as a light emitting device. What is necessary is to be good also as 1 metal bump 32a per light emitting device, and just to have at least one metal bump 32a, although each light emitting device was considered as the configuration which has two metal bump 32a in the example shown in drawing 9.

[0055] Moreover, although the example which forms n electrode all over a wafer here was shown, the ejection effectiveness of the light from a light emitting device can be improved by forming the n electrode 4 selectively by patterning.

(Example 4) The process to p electrode 3 formation is performed like an example 1. As a light emitting device is laid in susceptor 5 and shown in drawing 10 (a) after p electrode 3 formation, it grinds by the polish member 6 so that it may leave 10 micrometers - about 100 micrometers of substrates 1 to n mold nitride semiconductor layer 21 side. What is necessary is just to set up suitably the thickness of this substrate 1 that it should leave according to the control precision of polish. Then, as shown in drawing

10 (b), with a dicing saw, a substrate 1 is shaved by Mr. about 0.5-2.0-micrometer Fukushima of n mold contact layer, and a slot is formed. To silicon on sapphire 1 and n mold nitride semi-conductor layer 21, after formation of a slot etches so that n mold nitride semi-conductor layer 21 can delete about 1-2 micrometers in RIE.

[0056] And to a substrate 1 and n mold nitride semi-conductor layer 21, Aluminum aluminum is formed for Tungsten W by sputtering by the thickness of 30A after that with the thickness of 20A, annealing is performed, and as shown in drawing 10 (c), the n electrode 4 is formed. Thus, a dicing saw divides the formed wafer for every light emitting device, as shown in drawing 10 (d).

[0057] This example 2 can stop the damage by the polish to n mold nitride semi-conductor layer 21 to the minimum. Moreover, it can prevent grinding n mold nitride semi-conductor layer 21 too much by control dispersion of the polish depth.

[0058] Moreover, it is not necessary to necessarily form the n electrode 4 all over n mold nitride semi-conductor layer 21, and like an example 2, as shown in the perspective view of the light emitting device shown in drawing 5 (a), it may form the n electrode 4 selectively. Drawing 5 (b) is the top view which looked at the example of the n electrode 4 shown in drawing 5 (a) from right above the n electrode 4 here. The number of the slots formed in n mold nitride semi-conductor layer 21 does not need to be one, either, and they may be formed. [two or more] Of course, what is necessary is not to form the n electrode 4 throughout a slot and to form the n electrode 4 only in a field required for carrier impregnation.

[0059] Furthermore, like an example 2, the slot formed in n mold nitride semi-conductor layer 21 may be formed in each angle of a light emitting device from the core of a light emitting device, as shown in drawing 6 . However, drawing 6 is the top view which looked at the n electrode 4 from right above like drawing 5 (b). In this example, since the n electrode 4 of each other within the flat surface of n mold nitride semi-conductor layer 21 is formed in the 2-way which is not parallel from the core of a light emitting device, a carrier is comparatively poured into homogeneity over the whole surface of a light emitting device, and luminescence in a light emitting device can be made into homogeneity.

[0060] Furthermore, although it is desirable from not adding a new configuration to the manufacturing installation of a light emitting device to form a slot by using a dicing saw, the configuration in which n mold nitride semi-conductor layer 21 is exposed does not need to be a groove, in order not to be concerned with a configuration but to perform carrier impregnation, removes some [at least] substrates which are need, and should just expose n mold nitride semi-conductor layer 21.

[0061]

[Effect of the Invention] By the electrode formation approach of the light emitting device of this invention, and a light emitting device, the light emitting device which has the nitride semi-conductor layer in which the electrode was formed to both sides of a light emitting device can be offered, acquiring good crystallinity.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing roughly the process from formation of p electrode in the gestalt 1 of operation of this invention to polish of a substrate.

[Drawing 2] It is drawing showing roughly the process from formation of p electrode in the example 1 of this invention to polish of a substrate.

[Drawing 3] It is drawing showing roughly the process from clearance of the substrate in the example 1 of this invention to formation of n electrode, and the division into a light emitting device.

[Drawing 4] It is drawing showing roughly the process from clearance of the substrate in the example 2 of this invention to formation of n electrode, and the division into a light emitting device.

[Drawing 5] It is the schematic diagram of the light emitting device about the modification in the example 2 of this invention.

[Drawing 6] It is the rough top view which looked at the light emitting device about other modifications in the example 2 of this invention from n electrode side.

[Drawing 7] It is drawing showing roughly the process from formation of p electrode in the gestalt 2 of operation of this invention to polish of a substrate.

[Drawing 8] It is drawing showing roughly the process from formation of p electrode in the example 3 of this invention to polish of a substrate.

[Drawing 9] It is drawing showing roughly the process from clearance of the substrate in the example 3 of this invention to formation of n electrode, and the division into a light emitting device.

[Drawing 10] It is drawing showing roughly the process from clearance of the substrate in the example 4 of this invention to formation of n electrode, and the division into a light emitting device.

[Description of Notations]

- 1 ... Silicon on sapphire
- 2 ... Nitride semi-conductor layer
- 21 ... n mold nitride semi-conductor layer
- 22 ... Barrier layer
- 23 ... p mold nitride semi-conductor layer
- 3 ... p electrode
- 31 ... The 1st metal layer
- 32 ... Curvature prevention layer
- 32a ... Substrate layer
- 32b ... The 2nd metal layer
- 32c ... Metal bump
- 32d ... Resin layer
- 34 ... Au layer
- 4 ... n electrode
- 5 ... Susceptor
- 6 ... Polish member

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-313422
(P2001-313422A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 33/00		H 0 1 L 33/00	E 4 M 1 0 4
	21/28		C 5 F 0 4 1
	29/41		3 0 1 H 5 F 0 7 3
H 0 1 S 5/042	6 1 0	H 0 1 S 5/042	6 1 0
		H 0 1 L 29/44	B
審査請求 未請求 請求項の数18 O L (全 11 頁)			

(21) 出願番号 特願2000-153499(P2000-153499)
(22) 出願日 平成12年5月24日 (2000.5.24)
(31) 優先権主張番号 特願2000-48878(P2000-48878)
(32) 優先日 平成12年2月21日 (2000.2.21)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000226057
日亜化学工業株式会社
徳島県阿南市上中町岡491番地100
(72) 発明者 豊田 達憲
徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内
(72) 発明者 庄野 博文
徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内
(72) 発明者 永峰 和浩
徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

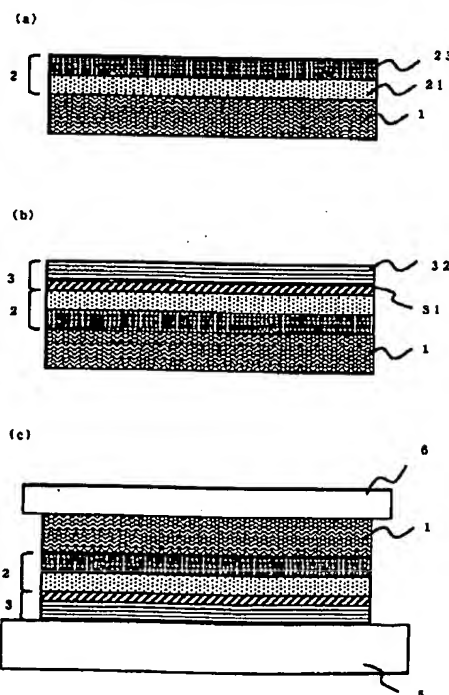
最終頁に続く

(54) 【発明の名称】 発光素子および発光素子の製造方法

(57) 【要約】 (修正有)

【課題】 発光素子の両面に電極を形成した窒化物半導体層を有する発光素子および発光素子の製造方法を提供する。

【解決手段】 基板上にn型窒化物半導体層とp型窒化物半導体層が積層されたウェハを発光素子毎に分割する製造方法において、p型窒化物半導体層のほぼ全面にp型窒化物半導体層とオーミック接触を得るための第1金属層を形成し、金属層よりも上にウェハの反りを防止するための反り防止層を形成するp電極形成工程と、p電極形成工程後、分割すべき発光素子の各領域にn型窒化物半導体層の少なくとも一部が露出するように、窒化物半導体層が積層された基板面と反対側の面から基板を除去する基板除去工程と、露出したn型窒化物半導体層上の少なくとも一部に接するようにn電極を形成するn電極形成工程と、p電極およびn電極が形成されたウェハを分割すべき領域毎に分割し発光素子とする分割工程とを含む。



【特許請求の範囲】

【請求項1】基板上に少なくともn型窒化物半導体層およびp型窒化物半導体層が積層されたウェハを発光素子毎に分割する発光素子の製造方法において、前記p型窒化物半導体層のほぼ全面にp型窒化物半導体層とオーミック接触を得るための第1金属層を形成し、前記金属層よりも上に前記ウェハの反りを防止するための反り防止層を形成するp電極形成工程と、前記p電極形成工程後、分割すべき発光素子の各領域に前記n型窒化物半導体層の少なくとも一部が露出するように、前記窒化物半導体層が積層された基板面と反対側の面から前記基板を除去する基板除去工程と、前記露出したn型窒化物半導体層上の少なくとも一部に接するようにn電極を形成するn電極形成工程と、前記p電極および前記n電極が形成されたウェハを分割すべき領域毎に分割し発光素子とする分割工程とを含むことを特徴とする発光素子の製造方法。

【請求項2】前記反り防止層は厚さが $10\mu\text{m}$ 以上の第2金属層を少なくとも含むことを特徴とする請求項1に記載の発光素子の製造方法。

【請求項3】前記第2金属層は少なくともNiを含む金属から構成されることを特徴とする請求項2に記載の発光素子の製造方法。

【請求項4】前記第2金属層は無電界めっきによって形成されることを特徴とする請求項2乃至3に記載の発光素子の製造方法。

【請求項5】前記反り防止層は前記第1金属層上に形成された1つ以上の金属バンプと、前記金属バンプが形成された部分を除いた前記第1金属層上に形成された樹脂層から少なくとも構成されることを特徴とする請求項1に記載の発光素子の製造方法。

【請求項6】前記反り防止層よりも上にAuを少なくとも含むAu層を形成するAu層形成工程とさらに含むことを特徴とする請求項1乃至5に記載の発光素子の製造方法。

【請求項7】前記基板はサファイアを用いることを特徴とする請求項1乃至6に記載の発光素子の製造方法。

【請求項8】前記n電極は透明電極であることを特徴とする請求項1乃至7に記載の発光素子の製造方法。

【請求項9】少なくともn型窒化物半導体層およびp型窒化物半導体層が積層された半導体層が形成され、n電極およびp電極を有する発光素子において、前記n電極および前記p電極は、それぞれ前記半導体層を挟んで対向して形成され、

前記p電極は、前記p型窒化物半導体層のほぼ全面にp型窒化物半導体層とオーミック接触を得るための第1金属層と、前記金属層よりも上に前記ウェハの反りを防止するための反り防止層から少なくとも構成されることを特徴とする発光素子。

【請求項10】少なくともn型窒化物半導体層およびp

型窒化物半導体層が積層された半導体層が形成され、n電極およびp電極を有する発光素子において、

前記p電極は、前記p型窒化物半導体層のほぼ全面にp型窒化物半導体層とオーミック接触を得るための第1金属層と、前記金属層よりも上に前記ウェハの反りを防止するための反り防止層から少なくとも構成され、前記n型窒化物半導体層は前記基板の少なくとも一部が除去されて露出しており、

前記n電極は前記露出したn型窒化物半導体層上の少なくとも一部に接するように形成されることを特徴とする発光素子。

【請求項11】前記反り防止層は厚さが $10\mu\text{m}$ 以上の第2金属層を少なくとも含むことを特徴とする請求項9または10に記載の発光素子。

【請求項12】前記第2金属層は少なくともNiを含む金属から構成されることを特徴とする請求項11に記載の発光素子。

【請求項13】前記第2金属層は無電界めっきによって形成されることを特徴とする請求項11乃至12に記載の発光素子。

【請求項14】前記反り防止層は前記第1金属層上に形成された1つ以上の金属バンプと、前記金属バンプが形成された部分を除いた前記第1金属層上に形成された樹脂層から少なくとも構成されることを特徴とする請求項9または10に記載の発光素子。

【請求項15】前記樹脂層は膜厚が $20\mu\text{m}$ 以上であることを特徴とする請求項14に記載の発光素子。

【請求項16】前記p電極は、前記反り防止層よりも上にAuを少なくとも含むAu層を有することを特徴とする請求項9乃至15に記載の発光素子。

【請求項17】前記基板はサファイアを用いることを特徴とする請求項9乃至16に記載の発光素子。

【請求項18】前記n電極は透明電極であることを特徴とする請求項9乃至17に記載の発光素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LED（発光ダイオード）、LD（レーザダイオード）等の発光素子に利用される電極、特に窒化物半導体層（たとえば $\text{In}_x\text{Al}_{1-x}\text{Ga}_{1-y}\text{N}$ 、 $0 \leq x$ 、 $0 \leq y$ 、 $x+y \leq 1$ ）を有する発光素子および発光素子の製造方法に関する。

【0002】

【従来の技術】近年、青色LED、LD等に代表されるように窒化物半導体層を有する発光素子が注目を集めている。この窒化物半導体層は概略的にはp型窒化物半導体層から注入されたキャリアと、n型窒化物半導体層から注入されたキャリアとのキャリア結合により発光が行われ、これら窒化物半導体層は特にサファイア基板上に形成することによって、良好な結晶性が得られる。しかしながら、サファイアは絶縁性物質であり、サファイア

基板表面に電極を形成することができない。このため、サファイア基板等の絶縁性物質からなる基板を発光素子に用いた場合、半導体層をエッチング等によって除去して露出したコンタクト層上に電極を形成する必要があった。

【0003】

【発明が解決しようとする課題】上記のように、半導体層を除去して電極を形成する場合、ウェハの単位面積当たりから得られる発光素子の数は少なくなり製造コストが高くなるという問題点があった。また、電極部分が接近するため、ボンディング時に高精度の位置制御を行う必要があった。

【0004】またこれに対し、ウェハー状のサファイア基板上に窒化物半導体層を形成した後、サファイア基板を研磨等によって除去し、半導体層を挟んで対向した位置に正負それぞれの電極を形成する技術があった。しかし、サファイア基板を研磨するに依り、窒化物半導体層とサファイアとの格子定数の不整合からウェハーに反りが生じ半導体層の割れ等が発生するため、製造歩留まりが悪くなり製造コストが高くなるという問題点があった。特に、サファイア基板と窒化物半導体との格子定数の不整合は大きいので、窒化物半導体からなる発光素子においてはこの反りは大きな問題となる。

【0005】そこで、本発明は、良好な結晶性を得ながら、かつ発光素子の両面に電極を形成した窒化物半導体層を有する発光素子および発光素子の製造方法を製造歩留まりの低下を招くことなく低コストで提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の発光素子の製造方法は、基板上に少なくともn型窒化物半導体層およびp型窒化物半導体層が積層されたウェハーを発光素子毎に分割する発光素子の製造方法において、前記p型窒化物半導体層のほぼ全面にp型窒化物半導体層とオーミック接触を得るための第1金属層を形成し、前記金属層よりも上に前記ウェハーの反りを防止するための反り防止層を形成するp電極形成工程と、前記p電極形成工程後、分割すべき発光素子の各領域に前記n型窒化物半導体層の少なくとも一部が露出するように、前記窒化物半導体層が積層された基板面と反対側の面から前記基板を除去する基板除去工程と、前記露出したn型窒化物半導体層上の少なくとも一部に接するようにn電極を形成するn電極形成工程と、前記p電極および前記n電極が形成されたウェハーを分割すべき領域毎に分割し発光素子とする分割工程とを含む。これによって、良好な結晶性を得ながら、かつ発光素子の両面に電極を形成した窒化物半導体層を有する発光素子を製造歩留まりの低下を招くことなく低コストで提供することができる。

【0007】また、本発明の発光素子の製造方法は、前記反り防止層は厚さが10 μ m以上の第2金属層を少な

くとも含む構成とすることができる。

【0008】また、本発明の発光素子の製造方法は、前記第2金属層は少なくともNiを含む金属から構成される。

【0009】また、本発明の発光素子の製造方法は、前記第2金属層は無電界めっきによって形成される。

【0010】また、本発明の発光素子の製造方法は、前記反り防止層は前記第1金属層上に形成された1つ以上の金属バンプと、前記金属バンプが形成された部分を除いた前記第1金属層上に形成された樹脂層から少なくとも構成されてよい。

【0011】また、本発明の発光素子の製造方法は、前記反り防止層よりも上にAuを少なくとも含むAu層を形成するAu層形成工程とさらに含む。

【0012】また、本発明の発光素子の製造方法において、前記基板はサファイアを用いる。

【0013】また、本発明の発光素子の製造方法において、前記n電極は透明電極である。

【0014】また、本発明の発光素子は、少なくともn型窒化物半導体層およびp型窒化物半導体層が積層された半導体層が形成され、n電極およびp電極を有する発光素子において、前記n電極および前記p電極は、それぞれ前記半導体層を挟んで対向して形成され、前記p電極は、前記p型窒化物半導体層のほぼ全面にp型窒化物半導体層とオーミック接触を得るための第1金属層と、前記金属層よりも上に前記ウェハーの反りを防止するための反り防止層から少なくとも構成される。

【0015】また、本発明の発光素子は、少なくともn型窒化物半導体層およびp型窒化物半導体層が積層された半導体層が形成され、n電極およびp電極を有する発光素子において、前記p電極は、前記p型窒化物半導体層のほぼ全面にp型窒化物半導体層とオーミック接触を得るための第1金属層と、前記金属層よりも上に前記ウェハーの反りを防止するための反り防止層から少なくとも構成され、前記n型窒化物半導体層は前記基板の少なくとも一部が除去されて露出しており、前記n電極は前記露出したn型窒化物半導体層上の少なくとも一部に接するように形成される構成とすることができる。

【0016】また、本発明の発光素子は、前記反り防止層は厚さが10 μ m以上の第2金属層を少なくとも含む構成とすることができる。

【0017】また、本発明の発光素子は、前記第2金属層は少なくともNiを含む金属から構成される。

【0018】また、本発明の発光素子は、前記第2金属層は無電界めっきによって形成される。

【0019】また、本発明の発光素子は、前記反り防止層は前記第1金属層上に形成された1つ以上の金属バンプと、前記金属バンプが形成された部分を除いた前記第1金属層上に形成された樹脂層から少なくとも構成されてよい。

【0020】また、本発明の発光素子は、前記樹脂層は膜厚が $20\mu\text{m}$ 以上である。

【0021】また、本発明の発光素子は、前記p電極は、前記反り防止層よりも上にAuを少なくとも含むAu層を有する。

【0022】また、本発明の発光素子は、前記基板はサファイアを用いる。

【0023】また、本発明の発光素子は、前記n電極は透明電極である。

【0024】

【発明の実施の形態】（実施の形態1）以下に本発明の発光素子および発光素子の電極形成方法を説明する。

【0025】図1(a)に示すように、ウェハ状の基板1上に半導体層2が形成される。基板1としては、たとえばサファイア、スピネル等の絶縁性基板が用いられる。半導体層2は、窒化物半導体層によって形成され、Si等のn型不純物をドーパした窒化物半導体 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$) からのn型窒化物半導体層21と、Mg等のp型不純物をドーパした窒化物半導体からのp型窒化物半導体層23とから少なくとも構成される。

【0026】そして、半導体層2を形成後、図1(b)に示すようにp型窒化物半導体層23上にp型窒化物半導体層23とオーミック接触が得られるたとえばNi/Pt層上にPtを形成した第1金属層である第1p電極31、反り防止層32が順次形成される。ここでは反り防止層32は厚さが $10\mu\text{m}$ 以上の金属層から形成される。このように、ウェハのほぼ全面に少なくとも厚さが $10\mu\text{m}$ 以上の第2金属層を含むp電極3が形成されることで、ウェハ全体に十分な強度で、基板1の除去のためのウェハの支持部材を得ることができる。この支持金属層32は無電界めっきによって形成されることが好ましい。基板1にサファイア等の絶縁性物質を用いた場合、ウェハ全体に均一に電界を印加し、均一な金属層を形成することが困難なためである。このとき、反り防止層32の厚さが不均一となると、ウェハに歪みが生じ、半導体層2が割れやすくなる。

【0027】その後、図1(c)に示すように、支持台5に支持金属層32を有するp電極3が形成されたウェハをp電極3側が支持台5に対向するように載置し、研磨部材6を用いることによって基板1をn型窒化物半導体層21が露出するように研磨し、除去する。あるいは、基板を $10 \sim 100\mu\text{m}$ 残した後、エッチングまたはダイシングソーによって、基板1の少なくとも一部を除去する構成としてもよい。このようにしてn型窒化物半導体層21の少なくとも一部を露出させる。このように、p型窒化物半導体層23上に厚さが $10\mu\text{m}$ 以上の第2金属層を少なくとも有するp電極を形成することによって、基板1の研磨時に生じるウェハの反りを低減でき、半導体層2の割れを防止することができる。また

歪みを低減させ平行度を精度良く保ちながら、基板1の研磨を行うことができる。

【0028】そして、露出したn型窒化物半導体層21にたとえばW/AlあるいはITO等からなるn電極4を形成する。この場合、露出したn型窒化物半導体層上の少なくとも一部に接するようにn電極を形成する構成としてもよい。特に、n電極4を透明電極として形成することによって、十分な厚みで形成され高い反射率が得られたp電極3を反射面として利用し、半導体層2において発生した光を高効率で取り出すことができる。W/Alの場合はWを $10 \sim 30\text{\AA}$ 、Alを $20 \sim 40\text{\AA}$ 程度、ITOの場合は $1000 \sim 5000\text{\AA}$ の厚さで形成することによって、透明電極とすることができる。

【0029】このように電極を形成したウェハを、適当な大きさに分割し、発光素子を得ることができる。本発明の発光素子の電極形成方法によって、ウェハの割れを防止できることから歩留まりが向上し、かつウェハの単位面積当たりから得られる発光素子の数を向上させることができる。また、本発明の発光素子は、p電極3、n電極4を半導体層2を挟んで対向して形成できることから、均一な発光が得られる。さらに、基板1としてサファイアを用いた場合は、結晶性のよい窒化物半導体層2が形成できることから、発光効率の高い発光が得られる。

（実施の形態2）以下に本発明の発光素子および発光素子の電極形成方法を説明する。

【0030】図7(a)に示すように、ウェハ状の基板1上に半導体層2が形成される。基板1としては、たとえばサファイア、スピネル等の絶縁性基板が用いられる。半導体層2は、窒化物半導体層によって形成され、Si等のn型不純物をドーパした窒化物半導体 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$) からのn型窒化物半導体層21と、Mg等のp型不純物をドーパした窒化物半導体からのp型窒化物半導体層23とから少なくとも構成される。

【0031】そして、半導体層2を形成後、図7(b)に示すようにp型窒化物半導体層23上のほぼ全面にp型窒化物半導体層23とオーミック接触が得られる金属たとえばNi/Pt層を形成した金属層である第1p電極31が形成される。この第1p電極31はNi/Pt層上にさらにPt層を積層した構成としてもよい。

【0032】第1p電極形成後、図7(c)に示すように第1p電極31上に複数の金属バンパ32aが形成される。次に、図7(d)に示すように金属バンパ32aが形成された部分を除いて第1p電極31上に樹脂層32bが形成される。そして、研削等によって表面を均一にするための面出し処理を行う。これら金属バンパ32aおよび樹脂層31bによって、基板1研磨時にウェハの反りを防止する反り防止層32が形成される。この反り防止層32は、 $40 \sim 80\mu\text{m}$ 程度とすることが好

ましい。このように、ウェハのほぼ全面に反り防止層が形成されることで、ウェハ全体に十分な強度で、基板1の除去のためのウェハの支持部材を得ることができる。

【0033】その後、図7(e)に示すように、支持台5に反り防止層32を有するp電極3が形成されたウェハをp電極3側が支持台5に対向するように載置し、研磨部材6を用いることによって基板1をn型窒化物半導体層21が露出するように研磨し、除去する。あるいは、基板を10~100 μ m残した後、エッチングまたはダイシングソーによって、基板1の少なくとも一部を除去する構成としてもよい。このようにしてn型窒化物半導体層21の少なくとも一部を露出させる。このように、p型窒化物半導体層23上に厚さが10 μ m以上の反り防止層32を少なくとも有するp電極を形成することによって、基板1の研磨時に生じるウェハの反りを低減でき、半導体層2の割れを防止することができる。また歪みを低減させ平行度を精度良く保ちながら、基板1の研磨を行うことができる。

【0034】そして、露出したn型窒化物半導体層21にたとえばW/AlあるいはITO等からなるn電極4を形成する。この場合、露出したn型窒化物半導体層上の少なくとも一部に接するようにn電極を形成する構成としてもよい。

【0035】このように電極を形成したウェハを、少なくとも1つの金属バンプ32aを含む適当な大きさに分割し、発光素子を得ることができる。本発明の発光素子の電極形成方法によって、ウェハの割れを防止できることから歩留まりが向上し、かつウェハの単位面積当たりから得られる発光素子の数を向上させることができる。また、本発明の発光素子は、p電極3、n電極4を半導体層2を挟んで対向して形成できることから、均一な発光が得られる。さらに、基板1としてサファイアを用いた場合は、結晶性のよい窒化物半導体層2が形成できることから、発光効率の高い発光が得られる。

(実施例1) 本発明における発光素子の電極の形成方法をLEDに適用した場合の一例を説明する。

【0036】たとえば、サファイアC面を基板1として用い、各層は有機金属気相成長方法(MOCVD法)により形成される。図2(a)に示す通り、基板1上に基板1と窒化物半導体層2との格子定数の不整合を緩和させるバッファ層(図示せず)、n電極とオーミック接触を得るためのn型窒化物半導体層21であるn型コンタクト層、キャリア結合により光を発生させる活性層22、キャリアを活性層に閉じ込めるためのp型クラッド層およびp電極とオーミック接触を得るためのp型コンタクト層から構成されるp型窒化物半導体層23が順次形成される。

【0037】バッファ層は低温によって結晶成長を行った膜厚10Å~500ÅのGaNから構成される。n型

コンタクト層は膜厚1~20 μ m、好ましくは2~6 μ mのSiドープGaNから構成される。また、n型コンタクト層上にたとえばSiがドープされたAlGaNから構成されるn型クラッド層を形成してもよい。活性層22はInGaNから構成してもよいし、GaN/InGaN/GaNの単一井戸層あるいは多重量子井戸層として構成してもよい。p型クラッド層は膜厚100~500ÅのMgドープAlGaNから構成される。また、このp型クラッド層も活性層へのキャリアの閉じ込めが十分であれば省略可能である。p型コンタクト層は膜厚0.001~0.5 μ m、好ましくは0.05~0.2 μ mのMgドープGaNから構成される。

【0038】図2(b)に示す通り、上記のように形成されたウェハのp型窒化物半導体層23上に、Niを100Åの厚さで形成し、その上にPtを500Åの厚さでスパッタリング等によって形成した後、アニーリングを行う。このNi/Ptの組み合わせは、Ni/Au、Co/AuおよびPd/Ptとしてもp型窒化物半導体層23と良好なオーミック接触が得られる。さらに、Ni/Pt層を形成後、Ptを5000Åの厚さで形成し、アニーリングを行い第1p電極31する。

【0039】第1p電極31形成後、さらに、パラジウムPdを数Å~1000Åの厚さでスパッタリングあるいは、あるいはエッチングによって表面を粗化し吸着させて下地層32aを形成する。このPdは反応触媒として作用する。そして下地層32a上に、P-Niを10 μ m以上、好ましくは50~300 μ mの厚さで無電界メッキによって形成し、第2金属層32bとする。リン含有率は5~10%が好ましい。最期にAuを1000Åの厚さで無電界メッキまたは蒸着法によって形成する。窒化物半導体層2の基板1にサファイア等の絶縁体を用いた場合、ウェハ全体に均一な電界を印可することが困難であるため、無電界めっきによって十分な厚さを有する金属層を形成することが好ましい。Niの他の無電界めっきの例としてはCu、Au、Agが挙げられる。特にNiは形成速度が速く、十分な厚さを得ることが容易となるためより好ましい。

【0040】その後、図2(c)に示す通り、p電極3が形成されたウェハを定盤等の支持台5に載置し、基板1面を砥石等の研磨部材6によって研磨する。このように、第1p電極31と比較して十分な厚さを有する第2金属層32bを形成することによって基板研磨時にウェハが歪むことを防止でき、ウェハが割れることなく、かつ平行に基板1の研磨を行うことができる。

【0041】この基板1の研磨は、図3(a)に示すように、n型窒化物半導体層21が露出するまで行う。基板1の研磨後は、n型コンタクト層21の研磨によりダメージを受けた領域をRIEにて1~2 μ m程度エッチングを行う。その後、露出したn型コンタクト層21にタングステンを20Åの厚さで、次にアルミニウムを3

0 Åの厚さでスパッタリングにより形成し、アニーリングを行い、図3(b)に示すようにn電極4を形成する。また、このn電極4はITOから形成してもよい。このように形成したウェハをダイシングソーによって分割して、図3(c)に示すように発光素子とする。

【0042】また、ここではウェハの全面にn電極を形成する例を示したが、パターンニングにより部分的にn電極4を形成することによって、発光素子からの光の取り出し効率を向上することができる。

(実施例2) p電極3形成までの工程は実施例1と同様に行われる。p電極形成後、発光素子を支持台5に載置して、図4(a)に示すように、基板1を10 μm~100 μm程度n型窒化物半導体層21側に残すように研磨部材6によって研磨する。この残すべき基板1の厚みは研磨の制御精度に応じて適宜設定すればよい。その後、図4(b)に示すように、ダイシングソーによって、基板1をn型コンタクト層の0.5~2.0 μm程度の深さまで削り、溝を形成する。溝の形成後はサファイア基板1およびn型窒化物半導体層21に対し、RIEにてn型窒化物半導体層21が1~2 μm程度削れるようエッチングを行う。

【0043】そして、基板1およびn型窒化物半導体層21に対し、タングステンWを20 Åの厚さで、その後アルミニウムA1を30 Åの厚さでスパッタリングにより形成し、アニーリングを行い、図4(c)に示すようにn電極4を形成する。このように形成したウェハをダイシングソーによって、図4(d)に示すように、発光素子毎に分割する。

【0044】この実施例2は、n型窒化物半導体層21への研磨によるダメージを最小限に抑えることができる。また、研磨深さの制御ばらつきによってn型窒化物半導体層21を研磨し過ぎることが防止できる。

【0045】また、n電極4は必ずしもn型窒化物半導体層21の全面に形成する必要はなく、図5(a)に示した発光素子の斜視図のように、部分的にn電極4を形成してもよい。ここで図5(b)は、図5(a)に示したn電極4の例を、n電極4の真上から見た平面図である。n型窒化物半導体層21に形成する溝も1つである必要はなく、複数形成してもよい。もちろん、溝の全域にn電極4を形成する必要はなく、キャリア注入に必要な領域にのみn電極4を形成すればよい。

【0046】さらに、n型窒化物半導体層21に形成する溝を、図6に示すように発光素子の中心から発光素子の各角へと形成してもよい。ただし、図6は図5(b)と同様、n電極4を真上から見た平面図である。この例では、発光素子の中心からn型窒化物半導体層21の平面内の互いに平行でない2方向にn電極4が形成されるため、キャリアが発光素子の全面にわたって比較的均一に注入され、発光素子における発光を均一にすることができる。

【0047】さらに、ダイシングソーを用いることによって溝を形成することが、発光素子の製造装置に新たな構成を追加する必要がないことから好ましいが、n型窒化物半導体層21を露出させる形状は溝状である必要はなく、形状に関わらずキャリア注入を行うために必要な少なくとも一部の基板を除去し、n型窒化物半導体層21を露出させればよい。

(実施例3) 本発明における発光素子の電極の形成方法をLEDに適用した場合の一例を説明する。

【0048】たとえば、サファイアC面を基板1として用い、各層は有機金属気相成長方法(MOCVD法)により形成される。図8(a)に示す通り、基板1上に基板1と窒化物半導体層2との格子定数の不整合を緩和させるバッファ層(図示せず)、n電極とオーミック接触を得るためのn型窒化物半導体層21であるn型コンタクト層、キャリア結合により光を発生させる活性層22、キャリアを活性層に閉じ込めるためのp型クラッド層およびp電極とオーミック接触を得るためのp型コンタクト層から構成されるp型窒化物半導体層23が順次形成される。

【0049】バッファ層は低温によって結晶成長を行った膜厚10 Å~500 ÅのGa_{0.9}Nから構成される。n型コンタクト層は膜厚1~20 μm、好ましくは2~6 μmのSiドープGa_{0.9}Nから構成される。また、n型コンタクト層上にたとえばSiがドープされたAlGa_{0.9}Nから構成されるn型クラッド層を形成してもよい。活性層22はInGa_{0.9}Nから構成してもよいし、Ga_{0.9}N/InGa_{0.9}N/Ga_{0.9}Nの単一井戸層あるいは多重量子井戸層として構成してもよい。p型クラッド層は膜厚100~500 ÅのMgドープAlGa_{0.9}Nから構成される。また、このp型クラッド層も活性層へのキャリアの閉じ込めが十分であれば省略可能である。p型コンタクト層は膜厚0.001~0.5 μm、好ましくは0.05~0.2 μmのMgドープGa_{0.9}Nから構成される。

【0050】図8(b)に示す通り、上記のように形成されたウェハのp型窒化物半導体層23上に、Niを100 Åの厚さで形成し、その上にPtを500 Åの厚さでスパッタリング等によって形成した後、アニーリングを行う。このNi/Ptの組み合わせは、Ni/Au、Co/AuおよびPd/Ptとしてもp型窒化物半導体層23と良好なオーミック接触が得られる。さらに、Ni/Pt層を形成後、Ptを5000 Åの厚さで形成し、アニーリングを行い第1p電極31とする。

【0051】第1p電極31形成後、第1p電極31上に複数の金属バンプ32aが形成され、次に、金属バンプ32aが形成された部分を除いた第1p電極31上に樹脂層32bが形成される。金属バンプ32aは、金バンプ、銅バンプ、はんだバンプ等から構成される。また、樹脂層32bは、エポキシ樹脂等から構成される。これら金属バンプ32aおよび樹脂層31bによって、

基板1研磨時にウェハの反りを防止する反り防止層32が形成される。この反り防止層32は、 $20\mu\text{m}$ 以上とすることが好ましく、 $40\sim 80\mu\text{m}$ 程度とすることがより好ましい。このように、ウェハのほぼ全面に反り防止層が形成されることで、ウェハ全体に十分な強度で、基板1の除去のためのウェハの支持部材を得ることができる。また、この金属バンプ32aおよび樹脂層32bからなる反り防止層32を形成後、面出し処理を行い厚みを均一にすることによって基板研磨時のウェハの歪みが発生することを防止することが好ましい。

【0052】また、最期にメッキまたは蒸着法によってAuを 1000\AA の厚さで形成し、Au層34とする。これによって、p電極3とリード部材あるいはワイヤ等との接着を良好にすることができる。このAu層34は、反り防止層32とリード部材あるいはワイヤ等との接着が良好であれば省略可能である。

【0053】その後、図8(c)に示す通り、p電極3が形成されたウェハを定盤等の支持台5に載置し、基板1面を砥石等の研磨部材6によって研磨する。このように、第1p電極31と比較して十分な厚さを有する反り防止層32を形成することによって基板研磨時にウェハが歪むことを防止でき、ウェハが割れることなく、かつ平行に基板1の研磨を行うことができる。

【0054】この基板1の研磨は、図9(a)に示すように、n型窒化物半導体層21が露出するまで行う。基板1の研磨後は、n型コンタクト層21の研磨によりダメージを受けた領域をRIEにて $1\sim 2\mu\text{m}$ 程度エッチングを行う。その後、露出したn型コンタクト層21にタングステン 20\AA の厚さで、次にアルミニウムを 30\AA の厚さでスパッタリングにより形成し、アニーリングを行い、図9(b)に示すようにn電極4を形成する。また、このn電極4はITOから形成してもよい。このように形成したウェハをダイシングソーによって分割して、図9(c)に示すように発光素子とする。図9に示した例では、各発光素子は2つの金属バンプ32aを有する構成としたが、発光素子1つ当たりの1つ金属バンプ32aとしてもよく、少なくとも1つの金属バンプ32aを有していればよい。

【0055】また、ここではウェハの全面にn電極を形成する例を示したが、パターニングにより部分的にn電極4を形成することによって、発光素子からの光の取り出し効率を向上することができる。

(実施例4) p電極3形成までの工程は実施例1と同様に行われる。p電極3形成後、発光素子を支持台5に載置して、図10(a)に示すように、基板1を $10\mu\text{m}\sim 100\mu\text{m}$ 程度n型窒化物半導体層21側に残すように研磨部材6によって研磨する。この残すべき基板1の厚みは研磨の制御精度に応じて適宜設定すればよい。その後、図10(b)に示すように、ダイシングソーによって、基板1をn型コンタクト層の $0.5\sim 2.0\mu\text{m}$

程度の深さまで削り、溝を形成する。溝の形成後はサファイア基板1およびn型窒化物半導体層21に対し、RIEにてn型窒化物半導体層21が $1\sim 2\mu\text{m}$ 程度削れるようエッチングを行う。

【0056】そして、基板1およびn型窒化物半導体層21に対し、タングステンWを 20\AA の厚さで、その後アルミニウムA1を 30\AA の厚さでスパッタリングにより形成し、アニーリングを行い、図10(c)に示すようにn電極4を形成する。このように形成したウェハをダイシングソーによって、図10(d)に示すように、発光素子毎に分割する。

【0057】この実施例2は、n型窒化物半導体層21への研磨によるダメージを最小限に抑えることができる。また、研磨深さの制御ばらつきによってn型窒化物半導体層21を研磨し過ぎることが防止できる。

【0058】また、n電極4は必ずしもn型窒化物半導体層21の全面に形成する必要はなく、実施例2と同様、図5(a)に示した発光素子の斜視図のように、部分的にn電極4を形成してもよい。ここで図5(b)は、図5(a)に示したn電極4の例を、n電極4の真上から見た平面図である。n型窒化物半導体層21に形成する溝も1つである必要はなく、複数形成してもよい。もちろん、溝の全域にn電極4を形成する必要はなく、キャリア注入に必要な領域にのみn電極4を形成すればよい。

【0059】さらに、n型窒化物半導体層21に形成する溝を、実施例2と同様、図6に示すように発光素子の中心から発光素子の各角へと形成してもよい。ただし、図6は図5(b)と同様、n電極4を真上から見た平面図である。この例では、発光素子の中心からn型窒化物半導体層21の平面内の互いに平行でない2方向にn電極4が形成されるため、キャリアが発光素子の全面にわたって比較的均一に注入され、発光素子における発光を均一にすることができる。

【0060】さらに、ダイシングソーを用いることによって溝を形成することが、発光素子の製造装置に新たな構成を追加する必要がないことから好ましいが、n型窒化物半導体層21を露出させる形状は溝状である必要はなく、形状に関わらずキャリア注入を行うために必要な少なくとも一部の基板を除去し、n型窒化物半導体層21を露出させればよい。

【0061】

【発明の効果】本発明の発光素子および発光素子の電極形成方法によって、良好な結晶性を得ながら、かつ発光素子の両面に電極を形成した窒化物半導体層を有する発光素子を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるp電極の形成から基板の研磨までの工程を概略的に示す図である。

【図2】 本発明の実施例1におけるp電極の形成から

基板の研磨までの工程を概略的に示す図である。

【図3】 本発明の実施例1における基板の除去からn電極の形成および発光素子への分割までの工程を概略的に示す図である。

【図4】 本発明の実施例2における基板の除去からn電極の形成および発光素子への分割までの工程を概略的に示す図である。

【図5】 本発明の実施例2における変形例に関する発光素子の概略図である。

【図6】 本発明の実施例2における他の変形例に関する発光素子をn電極側から見た概略的な平面図である。

【図7】 本発明の実施の形態2におけるp電極の形成から基板の研磨までの工程を概略的に示す図である。

【図8】 本発明の実施例3におけるp電極の形成から基板の研磨までの工程を概略的に示す図である。

【図9】 本発明の実施例3における基板の除去からn電極の形成および発光素子への分割までの工程を概略的に示す図である。

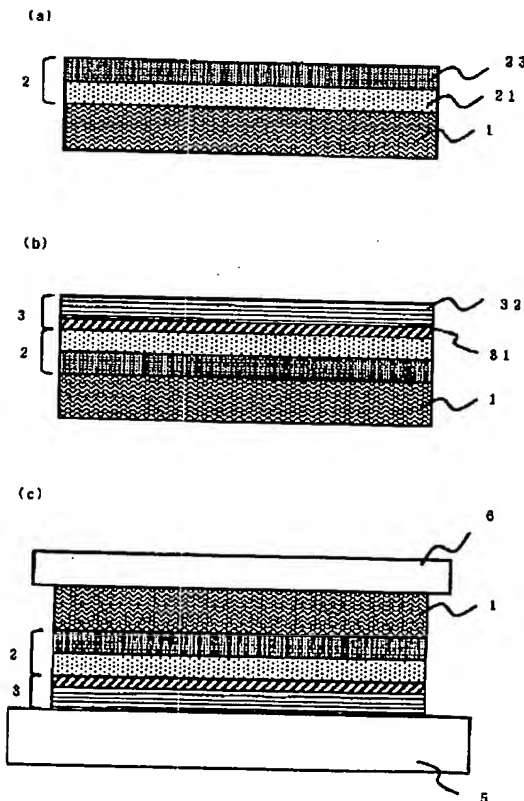
【図10】 本発明の実施例4における基板の除去から

n電極の形成および発光素子への分割までの工程を概略的に示す図である。

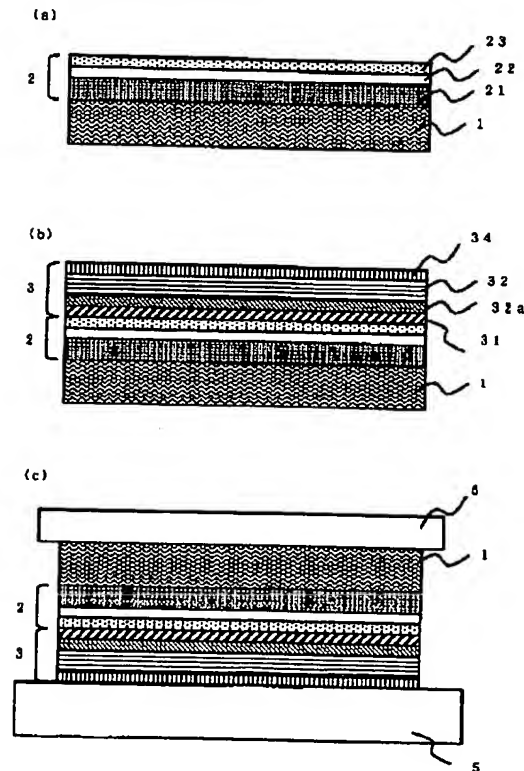
【符号の説明】

- 1・・・サファイア基板
- 2・・・窒化物半導体層
- 21・・・n型窒化物半導体層
- 22・・・活性層
- 23・・・p型窒化物半導体層
- 3・・・p電極
- 31・・・第1金属層
- 32・・・反り防止層
- 32a・・・下地層
- 32b・・・第2金属層
- 32c・・・金属バンプ
- 32d・・・樹脂層
- 34・・・Au層
- 4・・・n電極
- 5・・・支持台
- 6・・・研磨部材

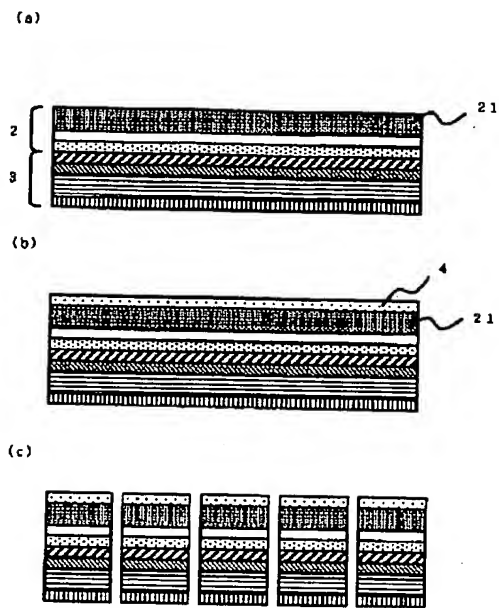
【図1】



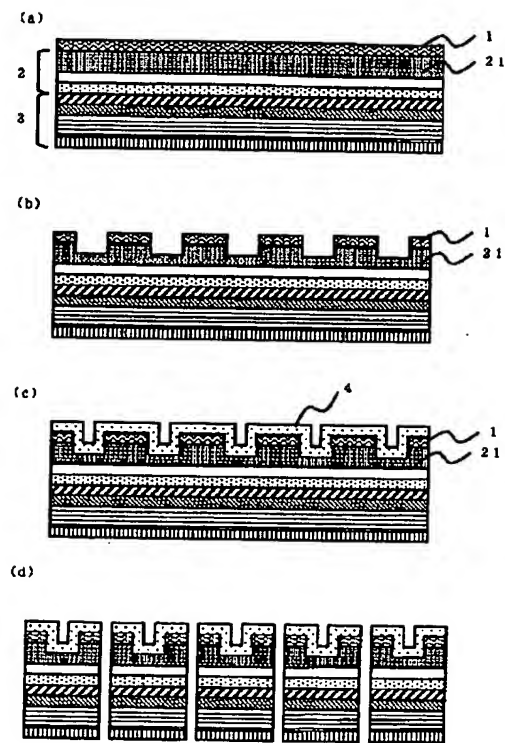
【図2】



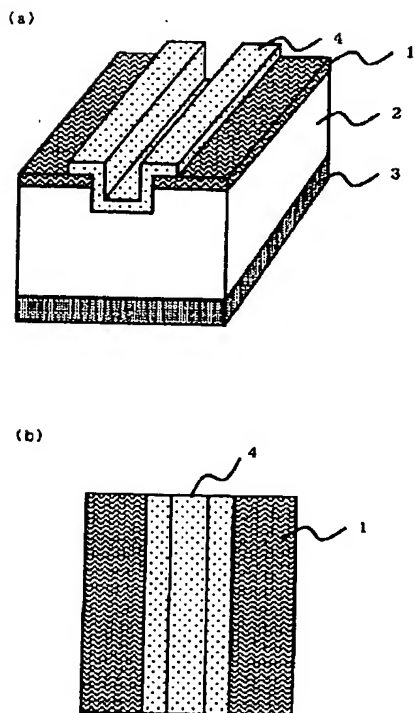
【図3】



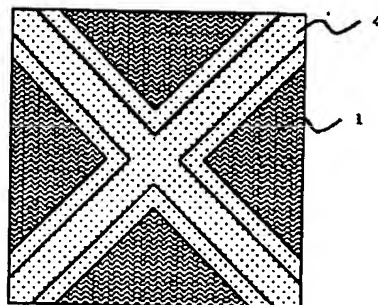
【図4】



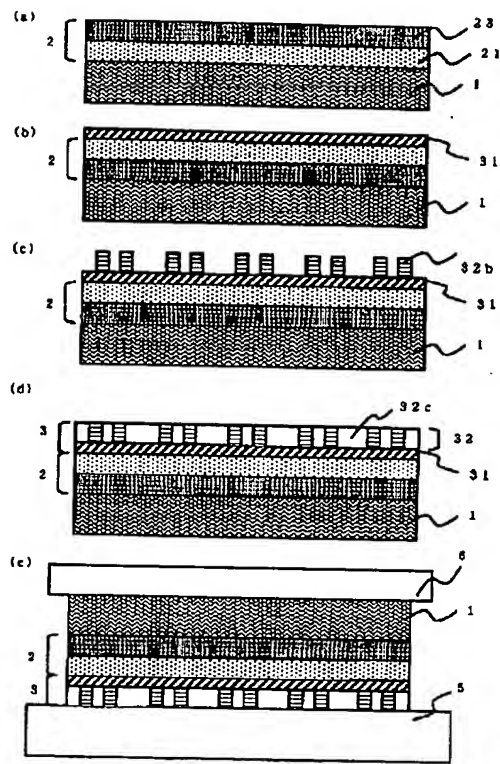
【図5】



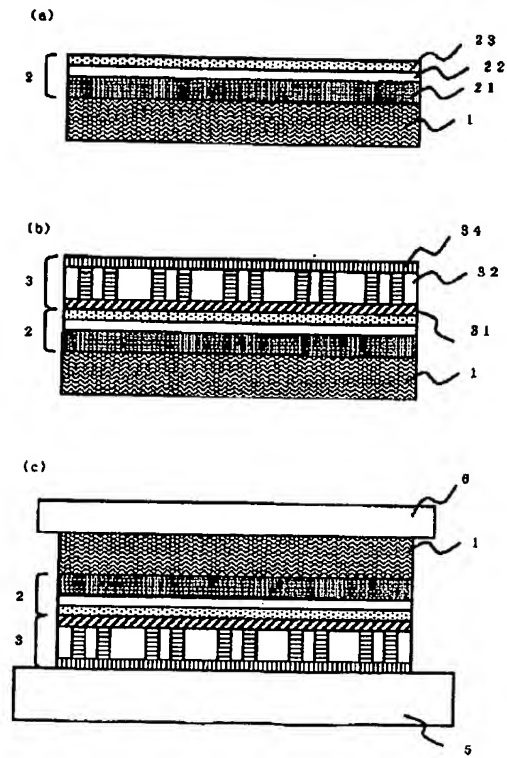
【図6】



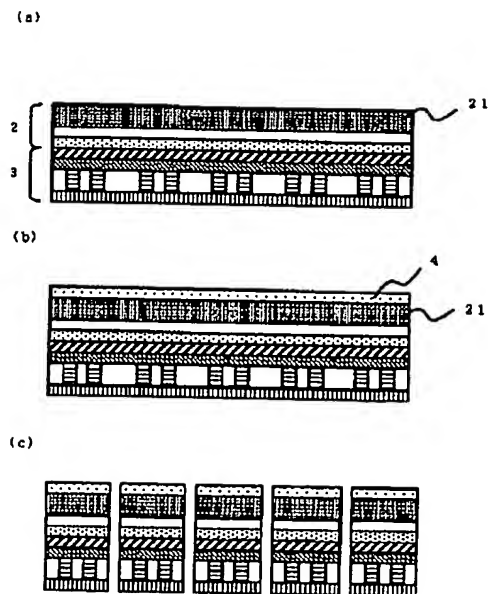
【図7】



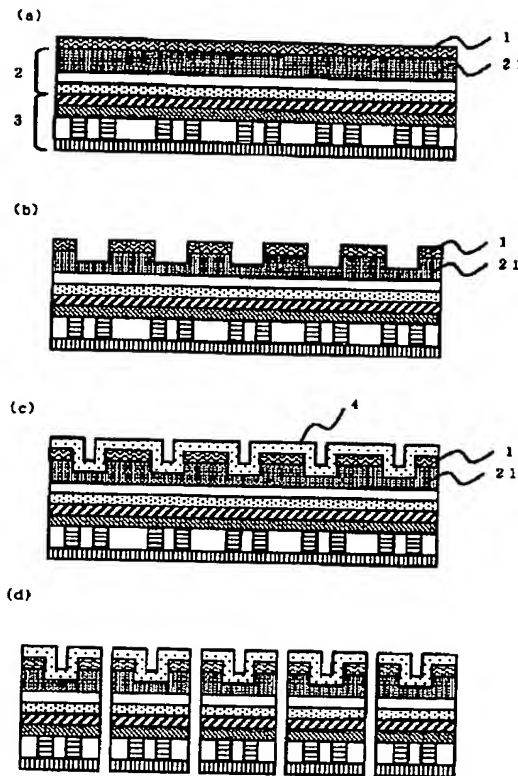
【図8】



【図9】



【図10】



フロントページの続き

Fターム(参考) 4M104 AA04 AA07 AA09 BB04 BB05
BB07 BB18 BB36 CC01 DD34
DD37 DD53 DD78 EE05 EE09
EE18 FF13 GG04 HH20
5F041 CA40 CA46 CA77 CA82 CA85
CA92 CA93 CA98 CA99
5F073 CA07 CB05 CB07 CB10 CB22
EA29

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.